

УДК 04.25: 004.252; 004.258

*Л. Ф. Мараховський, д.т.н., професор  
(професор кафедри «Автоматизація та комп'ютерно-інтегровані технології транспорту», Державний економіко-технологічний університет транспорту)*

*Н. О. Бутрик*

*(магістр, Державний економіко-технологічний університет транспорту)*

### СТРУКТУРНА ОРГАНІЗАЦІЯ БАГАТОРІВНЕВИХ СХЕМ ПАМ'ЯТІ ІЗ ЗАГАЛЬНИМ АВТОМАТОМ СТРАТЕГІЇ

*У публікації розкрито суть теорії побудови багаторівневих схем пам'яті, як приклад промодельовано I клас багаторівневих схем. Здійснено порівняння та аналіз можливості роботи тригера і БФСП із загальним автоматом стратегії багаторівневих схем пам'яті. Розглянуті методи синтезу БФСП і БРСП за їхнім символічним описом, що дозволяє формалізувати їх проектування з урахуванням обмежень логічних елементів за кількістю вузлів та навантажувальної здатності. Досліджено існуючі схеми елементної бази комп'ютерів (нових багаторівневих схем пам'яті), а також нові розробки Мараховського Л.Ф. в галузі створення синтезу та аналізу багатофункціональних і багаторівневих схем пам'яті.*

*Ключові слова:* багаторівнева схема пам'яті, нова елементна база, автомат стратегії.

*В публикации раскрыта суть теории построения многоуровневых схем памяти, а также в качестве примера промоделирован I класс многоуровневых схем. Проведено сравнение и анализ возможности работы триггера и БФСП с общим автоматом стратегии многоуровневых схем памяти. Рассмотрены методы синтеза БФСП и БРСП по их символическим описаниям, что позволяет формализовать их проектирование с учетом ограничений логических элементов по количеству узлов и нагрузочной способности. Исследованы существующие схемы элементной базы компьютеров (новых многоуровневых схем памяти), а также новые разработки Мараховского Л.Ф. в области создания синтеза и анализа функциональных и многоуровневых схем памяти.*

*Ключевые слова:* многоуровневая схема памяти, новая элементная база, автомат стратегии.

**Постановка проблеми.** Уже понад 70 років в обчислювальній техніці при побудові інтегральних і надвеликих інтегральних схем і пристроїв використовується елементна база з пам'яттю на тригерах. І сама двійкова пам'ять (тригери), і пристрої на них мають низку фундаментальних обмежень, таких як: недостатня надійність тригерів, а отже, і пристроїв на них; послідовність обробки інформації, яка обумовлена зміною станів у тригерах тільки по одній змінній  $x(t)$ ; незмінюваність алгоритму роботи тригера, що змушує зниження швидкодії в реконфігурованих пристроях, які реалізуються

© Мараховський Л. Ф., Бутрик Н. О., 2017

на автоматному рівні; використання при аналізі роботи тригера і пристроїв на ньому автоматного дискретного часу, в якому сигнал  $\epsilon(\Delta)$  збереження станів у тригерах (по-рожне слово нульової довжини) не враховується в практиці проектування. Зараз аналіз нової елементної бази з пам'яттю на БФСП і БРСП, яка створює надійні схеми пам'яті, відповідно, пристрої на них, дослідження працездатності багаторівневих схем пам'яті, які дозволяють підвищити надійність, швидкодію, гнучкість у реконфігурованих пристроях і дають можливість паралельно запам'ятовувати і обробляти ієрархічну інформацію, є актуальною проблемою для побудови інтегральних схем.

**Аналіз останніх досліджень і публікацій.** Вперше були запропоновані новітні теорії побудови схем пам'яті професором Мараховським Л.Ф. в кінці 90-х років ХХ ст., які знімають перераховані обмеження відомої елементної бази. Це такі елементарні пристрої пам'яті, як: багатофункціональні і багаторівневі схеми пам'яті (БФСП і БРСП). Також робота пристроїв описувалась послідовними автоматами Мілі (1-го роду) і Мура (2-го роду); використовувався при послідовній обробці інформації в обчислювальних пристроях принцип програмного управління, запропонований Чарльзом Беббіджем 1833 р. при розробці аналітичної машини.

**Мета статті.** Перспективним і актуальним напрямом розвитку схем з пам'яттю є створення на основі БФСП багаторівневих схем пам'яті (БРСП), які є основою для вирішення актуального завдання: запам'ятовувати загальну і приватну інформацію за один машинний такт  $T$ , що принципово не можна виконати на комп'ютерних пристроях з пам'яттю на тригерах.

**Виклад основного матеріалу дослідження.** У комп'ютерах і нейрокомп'ютерах завжди порівнювалася структура і функція пам'яті з пам'яттю живих організмів, пам'ять яких має кращу вибірковість, більшою економічністю і корисністю.

У комп'ютерах широко використовують монофункціональні елементарні автомати Мура (тригери), що володіють повною системою переходів і виходів з двома внутрішніми станами, які зберігаються при одному вхідному сигналі.

Актуальним напрямом усунення обмеження двійкових схем пам'яті стала розробка багатофункціональних схем пам'яті.

Сучасні комп'ютерні та нейрокомп'ютерні системи, побудовані на сучасній базі, використовують послідовну інформацію у вигляді вхідних інформаційних сигналів  $x(t)$  і використовують цю інформацію в автоматному дискретному часі. Насправді інформація ієрархічна і є третім елементом Всесвіту разом з матерією і рухом.

Професор Мараховський Л.Ф. створює новий напрям в галузі цифрової обчислювальної техніки, в якому розглядаються питання запам'ятовування і обробки ієрархічної інформації, вже майже сорок років. Робота за новим напрямом в галузі обчислювальних машин Мараховським Л. Ф. почалася 1977 р. Вперше розроблені автором теорії мікросинтезу і аналізу багаторівневих елементарних схем пам'яті (БРСП).

БРСП мають напівзакриту структуру. БРСП дозволяють зберігати загальну і окрему інформацію одночасно, володіють гнучкістю, вибірковістю, підвищеною надійністю, меншими витратами логічних елементів на один стан та відрізняються в позитивний бік від асинхронного  $RS$ -тригера. Методи, закладені в цю теорію, дозволяють розробнику за критеріями кількості станів або за кількістю перебудованих підмножин станів без особливих зусиль спроектувати структуру і функціональну схему пам'яті.

Створення теорії побудови базових багатофункціональних схем пам'яті (БФСП) і на їх основі теорії побудови багаторівневих схем пам'яті (БРСП) розширює сучасні основи обчислювальної техніки та надає якісно нові можливості. Вони здатні підвищити швидкість перебудови алгоритмів функціонування комп'ютерних пристроїв, розширити функціональні можливості систем, збільшити тривалість існування систем на різних рівнях обробки інформації, а також здійснити одночасну обробку загальної та часткової інформації на основі ієрархічного принципу програмного

управління, що принципово неможливо здійснити на комп'ютерних пристроях з пам'яттю на тригерах.

Вперше методику моделювання комп'ютерних схем застосував в 1962 р. молодий вчений к.т.н. Мацевітій Л.В. при розробці «Малої інтегруючої машини (МІМ)». У 1970 р. на основі цієї методики під керівництвом Мараховського Л.Ф. були розроблені програми по моделюванню цифрових схем, на основі яких моделювалися великі інтегральні схеми і схеми обчислювальної машини. В даний час використовують програму імітаційного моделювання в електроніці (Electronics Workbench).

**Основні поняття.** БРСП є ієрархічною та напіввідкритою структурою, що має можливість перебудовувати структуру запам'ятовування станів, а, отже, і змінювати напрям активної вихідної інформації за певними вихідними вузлами. БРСП має два набори вхідних сигналів: встановлюючих і зберігаючих. Необхідно відзначити аналогію БРСП з живою клітиною (нейроном), яка теж має два набори вхідних сигналів: збуджуючих і гальмуючих, а також безліч вихідних сигналів, які спрямовані за певними напрямками до інших нейронів.

Одноступінчаті БРСП використовують кілька з'єднаних по вертикалі БФСП, які можна синхронізувати одним сигналом. БРСП може бути одно- і двоступенева. У символному описі одно- і двоступеневі БРСП відображаються відповідно 1с і 2с. У символному описі структура БРСП зображується в такому порядку:

- 1)  $(K-1)у$  або  $(K-1)б$  – відображає  $K$ -рівневі структури БРСП;
- 2)  $A_{k-1}, A_{k-2}, A_0$  – відображає символний опис кожної структури МФСП, починаючи з верхнього рівня БРСП.
- 3)  $\tau_i$  ( $i = 0, 1, 2$ ) – відображає перший (або другий) щабель синхронізуючих БРСП сигналом  $\tau 1$  (або  $\tau 2$ ) або асинхронну БРСП –  $\emptyset$  символом;
- 4)  $R_c$  ( $R = 1, 2$ ) – відображає одно- або двоступеневі структури БРСП.

Символьні описи БФСП і БРСП ( $p > 2$ ) є ключовими при описі будь-якого класу БРСП.

**Визначення параметрів багаторівневих схем пам'яті за символним описом.** З символного опису верхньої БРСП можна визначити кількість станів всієї БРСП, запам'ятовуються за такою формулою:

$$M = m_k \cdot r_e \quad - \quad - \quad (1)$$

де  $m_k$  – кількість розрядів у символному описі МФСП верхньої;  
 $r_e$  – кількість наборів зберігають  $e_j(\Delta)$  вхідних сигналів верхньої БРСП, за формулою визначаються.

Кількість БРСП станів, які запам'ятовуються, також можна визначити за кількістю розрядів у символному описі кожної БФСП за такою формулою:

$$M = \prod_{i=1}^K m_i \quad - \quad - \quad (2)$$

де  $m_i$  ( $i = 1, 2, \dots, K$ ) – кількість розрядів у символному описі БФСП всього БРСП;

$M$  – кількість станів БРСП, які запам'ятовуються.

Інший спосіб знаходження кількості  $M$  запам'ятовуються станів БРСП можна визначити за формулою, яка складається з того, що спочатку визначається кількість розрядів у числах символного опису БРСП, а потім знаходимо їх похідну. Нижні БРСП мають у кожному розряді тільки по одному логічному елементу, то такі БРСП є напівзакритими структурами. БРСП має ще внутрішній багатофункціональний зв'язок, і запам'ятовують всі свої стани при одному наборі зберігаючих  $e_j(\Delta)$  вхідних сигналів,

коли на всіх вхідних вузлах сигнал дорівнює логічному нулю, тобто є неактивним. Для збереження станів керованої БФСР при створенні символічного опису автомата стратегії (БФСР нижніх) необхідне дотримання співвідношення:

$$r_e \leq M,$$

де  $r_e$  – кількість наборів зберігають  $e_j(\Delta)$  вхідних сигналів БФСР верхнього рівня БРСР;

$M$  – кількість станів БФСР нижніх рівнів БРСР, які запам'ятовуються.

Процес пошуку символічних описів нижніх БРСР закінчується, коли кількість наборів зберігають  $e_j(\Delta)$  вхідних сигналів найнижчих СР становить одиницю. Коли знайдено символічний опис всіх БФСР в БРСР, то за формулою можна визначити кількість станів отриманої БРСР.

**Розробка методу синтезу багаторівневих схем пам'яті за символічним описом.**

При синтезі БРСР на базі К-входних логічних елементів І-НІ або АБО-НІ з навантажувальною здатністю Р1 і R-входних логічних елементів І чи АБО з навантажувальною здатністю Р2 необхідно враховувати обмеження використовуваних логічних елементів. Для синтезу по символічному опису БРСР необхідно спочатку перевірити допустимість синтезу БФСР, який входить в склад БРСР, з урахуванням обмежень логічних елементів, а потім виконати проектування БФСР з відповідним символічним описом. Суть синтезу БРСР на БФСР полягає в знаходженні ієрархічних зв'язків між вихідними вузлами нижніх БФСР і вхідними вузлами верхніх БФСР. Для БРСР класу з'єднання між вихідними вузлами нижніх БФСР з верхніми здійснюється з урахуванням активних наборів зберігають  $e_j(\Delta)$  вхідних сигналів. Вихідні вузли нижніх БФСР з'єднують з вхідними вузлами верхніх БФСР окремих груп верхніх БФСР, в яких кількість елементів більше одиниці ( $q > 1$ ). Виконуючи з'єднання між рівнями в БРСР, отримуємо асинхронну одноступеневу БРСР, яку можна зробити синхронною і двоступеневою схемою пам'яті, як це виконується в двоступеневих RS-тригерах. У символічному описі БФСР достатньо даних для того, щоб виконати синтез БРСР, визначити кількість станів, які запам'ятовуються, побудувати функціональну схему з безпосередніми зв'язками, а далі за допомогою математичного моделювання визначити закон функціонування синтезованої БРСР.

Синтез БРСР складається з таких кроків:

1) Визначаємо символічний опис верхньої БФСР при заданій кількості станів БРСР, які запам'ятовуються.

2) проектуємо символічний опис нижніх БФСР і на їх основі проектуємо символічний опис БРСР.

3) За символічним описом БФСР, що входять в опис БРСР, проектуємо БФСР на певних логічних елементах, дотримуючись при цьому обмеження самих логічних елементів за кількістю входів і навантажувальними здібностями.

4) Визначивши активні сигнали, зберігають вхідні сигнали БФСР, здійснюємо з'єднання між вихідними вузлами нижніх БФСР і наборами, зберігають вхідні сигнали логічних елементів верхніх БФСР в асинхронній одноступінчатій БРСР.

5) Якщо за символічним описом БРСР синхронізована, то встановлюють вхідні вузли асинхронної БРСР, з'єднують з вхідними вузлами через схеми І, сприймають додатково синхроімпульс.

6) Якщо за символічним описом БРСР двоступенева, то проектуємо другу сходинку БРСР, аналогічну першому ступеню, і вихідні вузли першого ступеня БРСР з'єднуємо разом з синхроімпульсом через схеми з установчими вхідними вузлами другого ступеня БРСР.

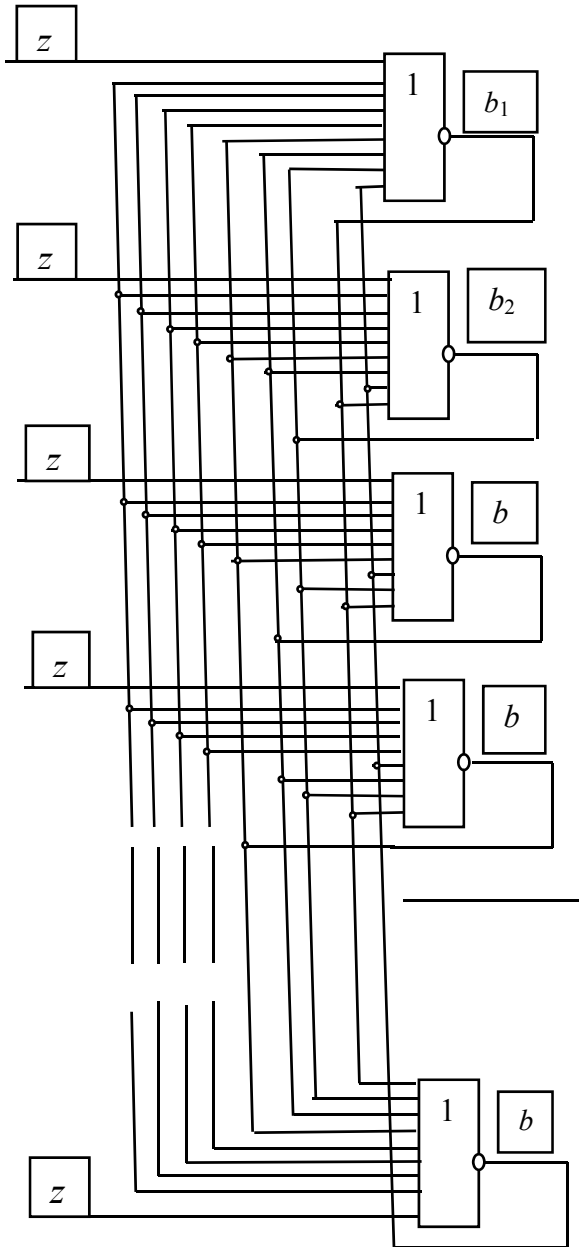
Розглянуті методи синтезу БРСП за символьним описом, що дозволяє формалізувати їх проектування з урахуванням обмежень логічних елементів за кількістю вузлів та навантажувальної здатності. У БРСП реалізується принцип ієрархічного програмного управління, що дозволяє обробляти приватну інформацію в верхніх БФСП одночасно із загальною інформацією в нижніх БФСП, що принципово їх відрізняє від тригерів.

**Принцип структурної організації елементарних БРСП.** Дослідження роботи тригерів, БФСП і БРСП зводяться до розгляду методів організації перемикання цих схем пам'яті в новий стан. Принцип структурної організації елементарних багаторівневих схем пам'яті полягає в їх розбитті на керуючі і керовані багатофункціональні схеми пам'яті (БФСП). Сутність принципу запам'ятовування станів у багаторівневій схемі пам'яті з багатофункціональною системою організації полягає в тому, що наборами встановлюють  $x_i(t)$  вхідних сигналів стану керованих БФСП  $A_i$  запам'ятовуються тільки в тому випадку, коли вони належать блокам ті станів, що запам'ятовуються під впливом набору зберігає  $e_j(\Delta)$  вхідного сигналу, що генерується керованою БФСП  $A_k$ . Багаторівнева схема пам'яті з багатофункціональною системою організації визначає таку структуру, в якій багатофункціональний режим роботи одного пристрою визначається іншим пристроєм, так званим автоматом стратегії  $A_m$ . Автомат стратегії  $A_m$  в багаторівневих схемах пам'яті може бути моно- або багатофункціональна схема пам'яті. Структуру багаторівневих схем пам'яті з багатофункціональною системою організації можна визначити як схему, яка зберігає на різних рівнях загальну (в автоматі стратегії  $A_m$ ) і приватну (в керованій БФСП) інформацію.

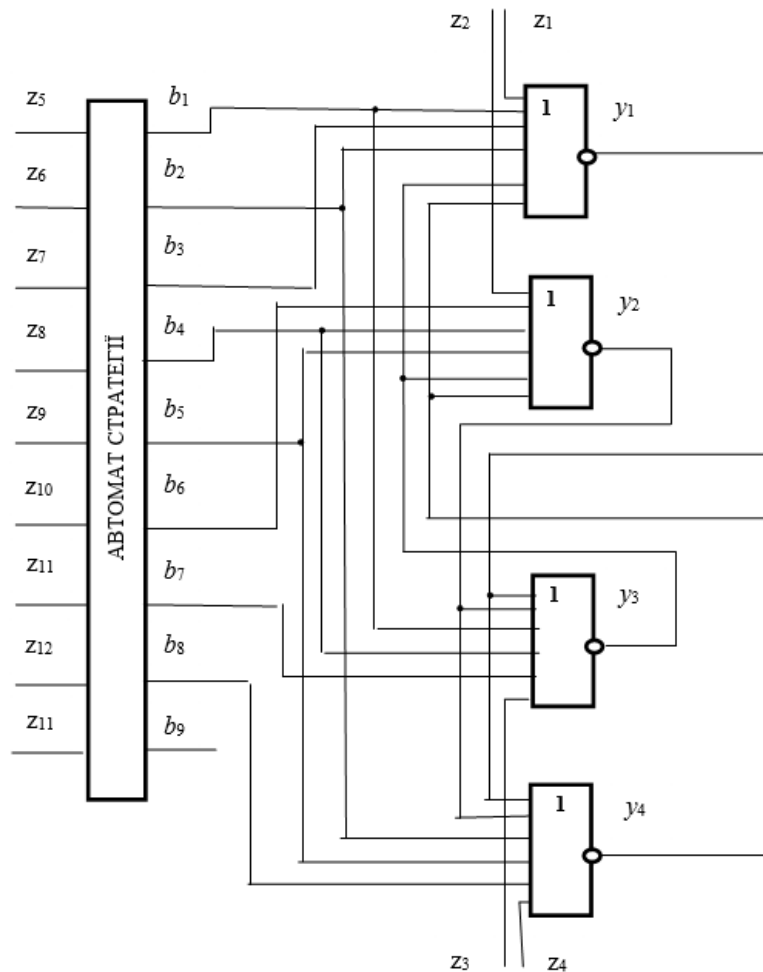
**Метод проектування загального автомата стратегії для всієї багаторівневої схеми пам'яті.** При реалізації автомата стратегії  $A_m$  на структурах багатостабільних схемах пам'яті (БСП) досить знати потрібну кількість  $re$  наборів зберігаючих  $e_j(\Delta)$  вхідних сигналів для керованої БФСП  $A_y$ , щоб застосувати  $re$  стану в МСП, яку використовують як автомата стратегії  $A_m$ . Розглянемо БСП на 9 станів, як автомат стратегії  $A_m$ , з метою організації та генерації дев'яти  $e_j(\Delta)$  вхідних сигналів для керованої БФСП  $A_y$ . Набори встановлюють  $x_i(t)$  вхідних сигналів для дев'ятистабільного тригера, побудованого на елементах АБО-НЕ, характеризуються тим, що на кожен вхідний вузол  $z_i$  подається логічна одиниця, крім одного вузла  $z_k$ , на який подається логічний нуль. В цьому випадку активні логічні одиниці встановлюють на виходах своїх елементів значення вихідного сигналу рівного логічному нулю, які по ланцюгу зворотного зв'язку разом з вхідним сигналом  $z_k$  ( $z_k=0$ ) встановлюють на виході цього елемента значення логічної одиниці. Набір зберігає  $e_j(\Delta)$  вхідного сигналу для БСП дорівнює нулю на всіх вхідних вузлах  $Z_j$  ( $z_1 = z_2 = z_3 = z_4 = z_5 = z_6 = z_7 = z_8 = z_9 = 0$ ), при якому зберігаються всі дев'ять станів автомата стратегії. Набори встановлюють  $x_i(t)$  вхідних сигналів однозначно встановлюють стану БСП, дев'ять з яких зберігаються при одному вхідному сигналі  $e_j(\Delta)$ . Функціонування таких БСП задається як елементарний автомат 2-го роду, який має повну систему входів і виходів. Таким чином, сутність методу проектування автомата стратегії  $A_m$  для всієї БФСП полягає у визначенні БСП з  $M$  станами, кількість яких відповідає кількості наборів зберігаючих  $e_j(\Delta)$  вхідних сигналів керованої БФСП  $A_y$ . Дворівнева схема пам'яті при автоматі стратегії  $A_m$  для всієї БФСП синтезується з керованою МФСП  $A_y$  відповідно до структурної схемою, зображеної на рис. 1

Дворівнева схема пам'яті БРСП складається з двох БФСП (або з однієї БФСП і одного БСП). Встановлюють вхідні шини двох БФСП можуть бути об'єднані в загальну установчу вхідну шину БРСП, а вихідні вузли керованої БФСП (автомата стратегії)  $A_m$  відповідно з'єднані з вхідною шиною керованої БФСП  $A_y$ , на яку подаються набори зберігаючих  $e_j(\Delta)$  вхідних сигналів. Взаємозв'язок між вихідними вузлами автомата стратегії  $A_m$  і вхідними вузлами керованої БФСП  $A_y$  здійснюється вхідний шиною керованої БФСП  $A_y$  відповідно за набором зберігаючих  $e_j(\Delta)$  вхідних сигналів, які визна-

чаються в процесі математичного аналізу функціонування БФСР  $A_y$ . Установчі вхідні вузли БФСР  $A_y$  і БФСР  $A_m$  можуть бути об'єднані в загальну установчу вхідну шину дворівневої схеми пам'яті. Таким чином, дворівнева схема пам'яті, що складається з керуючої БСР (автомата стратегії)  $A_m$  на дев'ять станів і керованої БФСР  $A_y$ , що має дев'ять зберігаючих вхідних сигналів, представлена на рис. 2.



*Рис. 1. Автомат стратегії на БСР*



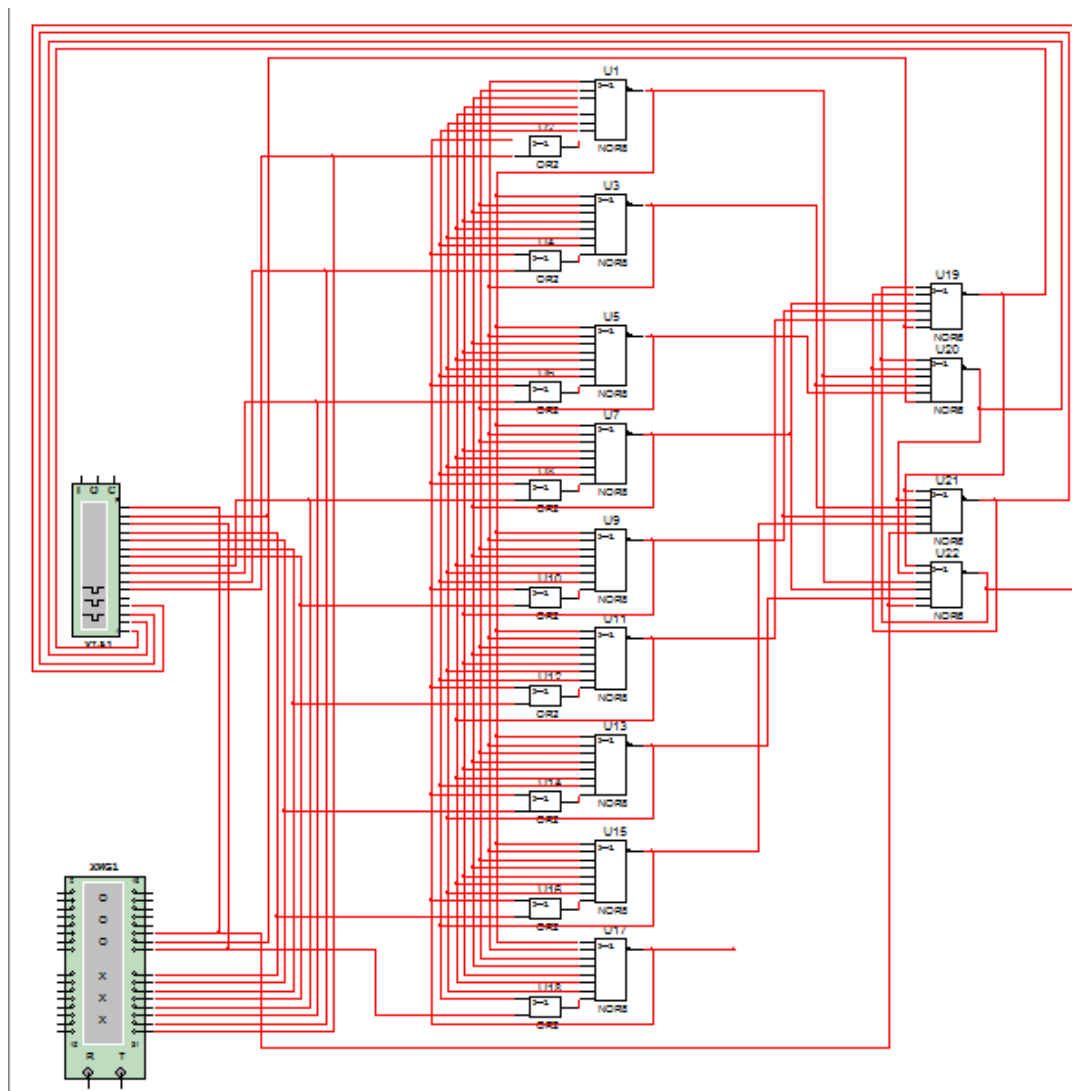
*Рис. 2. Дворівнева схема пам'яті*

**Моделювання багаторівневої схеми пам'яті із загальним автоматом стратегії на комп'ютері.** У загальному випадку дворівневу схему пам'яті (рис. 2) можна розглядати як БСП на 18 станів. Це пов'язано з тим, що пам'ять запам'ятовує всі свої статки при одному наборі зберігає  $e_j(\Delta)$  вхідного сигналу. Крім того, автомат стратегії  $A_m$  запам'ятовує загальну інформацію, а керована БФС  $A_y$  – приватну, структуру запам'ятовування станів якої можна змінювати. Дворівнева схема пам'яті може здійснювати однозначні і укрупнені переходи в БФС  $A_y$  за двома змінним  $x$  і  $e$ , чого не можуть здійснювати тригери. Крім того, на 18 БСП має 18 станів і 18 вхідних вихідних вузлів, а також використовує 18 логічних елементів. У разі дворівневої схеми пам'яті використовуються 13 і 11 вхідних вхідних вузлів, а також використовується 13 логічних елементів, що значно менше, ніж в БСП. Кількість внутрішніх зв'язків між БАІ (логічних елементів) в БСП на 18 станів становить  $18 \times 17 = 306$ , а в дворівневої схеми пам'яті  $20 + 8 \times 9 = 92$ .

Таким чином, дворівнева схема пам'яті класу має значні переваги, як за апаратними, так і за функціональними характеристиками, порівнянно з БСП. Автомат стратегії  $A_m$ , у свою чергу, може бути багаторівневим, що дозволяє знизити обмеження на базові автомати за кількістю вхідних вузлів (елементів І-НІ і / або АБО-НІ).

**Класифікація базових елементарних схем пам'яті.** У зв'язку з розробкою великої кількості асинхронних базових схем пам'яті наведемо їхню класифікацію. Найбільш загальним випадком асинхронних базових схем пам'яті є базова схема пам'яті БРСП, яка створюється з БФСП і однофазних БСП. БФСП є, у свою чергу, більш загальним випадком по відношенню до однофазних БСП, окремим (мінімальним) випадком яких є схема асинхронного тригера *RS*-типу. У зв'язку з тим, що БРСП запам'ятовує всі свої стани при одному наборі зберігаючого  $e_i(\Delta)$  вхідного сигналу, як БСП, то доцільно їх порівнювати і характеризувати одним рядом параметрів:

- кількість логічних елементів, які необхідні для побудови схем пам'яті, яка запам'ятовує  $M$  станів;
- робоча частота перемикання ( $F_p$ );
- максимальна здатність навантаження по виходах ( $N_O$ );
- кількість внутрішніх зв'язків ( $S_{внутр.с}$ )
- кількість зовнішніх зв'язків ( $S_{внеш.с}$ )
- кількість елементів на один стан ( $L$ ).



**Рис.3. Багаторівнева схема пам'яті із загальним автоматом стратегії**

**Висновок.** Впровадження теорії мікросинтезу і аналізу багатифункціональних і двох класів багаторівневих схем пам'яті (БРСП), які мають відкриту і напівзакриту структуру, дозволяють зберігати загальну і окрему інформацію одночасно, володіють гнучкістю, вибірковістю, підвищеною надійністю, меншими витратами логічних елементів на один стан, та відрізняються в позитивну сторону від асинхронного RS-тригера. Методи, закладені в цю теорію, дозволяють розробнику за критеріями кількості станів або за кількістю перебудов підмножин станів без особливих зусиль спроектувати структуру і функціональну схему пам'яті. Розглянуті методи синтезу БФСР і БРСР за їх символічним описом, що дозволяє формалізувати їх проектування з урахуванням обмежень логічних елементів за кількістю вузлів та навантажувальної здатності.

### ЛІТЕРАТУРА

1. Глушков В.М. Синтез цифровых автоматов. – М.: Физматгиз, 1962. – 476 с.
2. Справочник по цифровой вычислительной технике: (процессоры и память) / Б.Н. Малиновский, Е.И. Брюхович, Е.Л. Денисенко и др. / Под ред. Б.Н. Малиновского. – К.: «Техніка», 1979. – 366 с.
3. Мараховский Л.Ф. Многоуровневые устройства автоматной памяти. I ч. – Киев: УСиМ. – № 1. – 1998. – С. 66-72.
4. Мараховский Л.Ф. Многоуровневые устройства автоматной памяти. II ч. – Киев: УСиМ. – № 2. – 1998. – С. 63-69.
5. Брюхович Е.И. Будущее вычислительной техники, каким оно представляется в естественных законах и научном предвидении. // Праці міжнародного симпозіуму з історії створення перших ЕОМ та внеску європейців в розвиток комп'ютерних технологій – К.: «Фенікс» УАІНП, 1998. – С. 344-349.
6. Мараховський Л.Ф., Москвін М.В. Три научних напрямлення в області обробки інформації // «ІНТЕРНЕТ-освіта-наука-2012», восьма міжнародна науково практична конференція ІОН-2012, 1-5 жовтня, 2012: Збірник праць. – Вінниця: ВНТУ, 2012. – С. 215-219.
7. Мараховський Л.Ф., Москвін В.В. Комп'ютерні інформаційно-керуючі системи на залізничному транспорті: Навчально-методичний посібник для магістрів спеціальності 8.05020203 «Автоматика та автоматизація на транспорті (залізничний транспорт)». – К.: ДЕТУТ, 2015. – 127 с.
8. Мараховський Л.Ф., Михню Н.Л. Основы новой информационной технологии. Фундаментальные основы проектирования реконфигурируемых устройств компьютерных систем и искусственного нейрона – Germany: Saarbrücken, LAP LAMBERT, 2012. – 347 с.

*Leonid F. Marahovskij, Doctor of Science (Technical Sciences), Professor  
(Professor Automation and Computer-Integrated Technology of Transport Chair, State  
University for Transport Economy and Technologies)*

*Butryk N.*

*(Master, State University for Transport Economy and Technologies)*

### **STRUCTURAL ORGANIZATION MULTILEVEL SCHEMES WITH MEMORY GENERAL AUTOMATA STRATEGY**

*The publication revealed the essence of the theory of building a multilevel memory circuits, as well as an example of simulated multi Grade 1 circuits. Comparison and analysis capabilities of the trigger and the gun BFSP with the general strategy of multilevel memory circuits. The methods of synthesis and BFSP BRSP on their character description that allows to formalize their design with the limitations of logic elements by the number of units and load capacity. The existing circuit components computers (new multilevel memory circuits), as well as new developments Marahovskoho L. in the field of synthesis and analysis and multi-tiered storage schemes.*

*Keywords: multi-level memory circuit, the new element base, the device strategy.*

REFERENCES

1. *Glushkov V.* Synthesis of digital automata [Synthesis of digital automata] Moscow: Fizmatgiz, 1962, 476 p.
2. Reference book on digital computers: (processors and memory) [Reference book on digital computing: (processors and memory)] *B. Malinovsky, E. Bryukhovich, E. Denisenko and others. B. Malinovsky*, Kiev, «Tech», 1979, 366 p.
3. *Marakhovsky L.* Multilevel devices of automatic memory. I part, Kiev: USIM, No. 1, 1998, P. 66-72.
4. *Marakhovsky L.* Multilevel devices of automatic memory. II part, Kiev: Usim, No 2, 1998, P. 63-69.
5. *Bryukhovich E.* The future of computing, as it appears in natural laws and scientific foresight. // Proceedings of the International Symposium on the history of the first computer and the contribution of Europe to the development of computer technology, Kiev, pub. «Phoenix» UAYNP, 1998, P. 344-349.
6. *Marakhovsky L., Moskvin M.* Three scientific directions in the field of information processing // «INTERNET-Osvita-nauka-2012», the eighth international scientific practical conference IOH-2012, 1-5 жовтня, 2012: Zbirnyk prats'. – Vinnytsya: VNTU, 2012, p. 215-219.
7. *Marakhovsky L., Moskvin V.* Computer information management systems for rail transport: Textbook for masters of specialty 8.05020203 «Automation and automation of transport (rail)» , Kiev, DETUT, 2015, 127 p.
8. *Marakhovsky L., Mikhno N.* Fundamentals of the new information technology. Fundamental basics of designing reconfigurable devices of computer systems and artificial neuron- Germany: Saarbrcken, LAP LAMBERT, 2012, 347 p.